

CLIPPEDIMAGE= JP403270024A
PAT-NO: JP403270024A
DOCUMENT-IDENTIFIER: JP 03270024 A
TITLE: HIGH-OUTPUT FET CHIP

PUBN-DATE: December 2, 1991

INVENTOR-INFORMATION:
NAME
TOZAWA, TADAYUKI

ASSIGNEE-INFORMATION:
NAME
NEC CORP

COUNTRY
N/A

APPL-NO: JP02070121
APPL-DATE: March 19, 1990

INT-CL (IPC): H01L021/338; H01L029/812
US-CL-CURRENT: 257/280

ABSTRACT:

PURPOSE: To increase an output without increasing a chip size by a method wherein individual electrodes of a comb-shaped stripe electrode group are arranged in parallel with each other so as to be bent in a zigzag manner in the length direction of the electrodes.

CONSTITUTION: A drain electrode 1 and a gate electrode 2 are provided respectively with extraction electrodes 1A, 2A on both opposite sides of a chip. A source interconnection part 3A of a source electrode 3 is extended to the rear of a GaAs substrate 4; the chip is welded to a container at this part.

The individual electrodes 1, 2, 3 are formed to be stripe-shaped at a comb-shaped part; they are bent in a zigzag manner in their length direction. The length in the transverse-width direction occupied by an electrode group is increased a little. However, a margin exists between them and the source interconnection part 3A; it is not required to increase a chip size. The height of the individual electrodes 1, 2, 3 is the same as in conventional electrodes; their effective length is increased because they are bent in the zigzag manner.

COPYRIGHT: (C)1991, JPO&Japio

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A) 平3-270024

⑤ Int. Cl.³

識別記号

庁内整理番号

⑬ 公開 平成3年(1991)12月2日

H 01 L 21/338
29/812

7735-4M H 01 L 29/80

L

審査請求 未請求 請求項の数 1 (全2頁)

⑭ 発明の名称 高出力FETチップ

⑮ 特 願 平2-70121

⑯ 出 願 平2(1990)3月19日

⑰ 発 明 者 戸 澤 忠 幸 東京都港区芝5丁目33番1号 日本電気株式会社内

⑱ 出 願 人 日本電気株式会社 東京都港区芝5丁目7番1号

⑲ 代 理 人 弁理士 内 原 晋

明 細 書

1. 発明の名称

高出力FETチップ

2. 特許請求の範囲

くし型ストライプ電極を有する高出力FETのチップにおいて、前記くし型ストライプ電極群の各電極が互いに平行して、電極の長さ方向にジグザグに屈曲して配置されていることを特徴とする高出力FETチップ。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は、高出力FET(電界効果トランジスタ)のチップの電極パターンに関する。

〔従来の技術〕

従来の高出力FETチップは、第2図の平面図に示すようにドレイン電極1、ゲート電極2、ソース電極3が複数個、直線状のストライプ電極として形成され、互いに一定間隔に並んでくし型構造となっている。電極数とストライプ電極の長さを長くして高出力を得るようにし

ている。

〔発明が解決しようとする課題〕

第2図の従来の電極パターンで高出力を得るために、ストライプの数を増大し、電極ストライプの長さを長くする場合に、ストライプ数を増大すると、例えばゲート電極では、各ゲート電極にいたる信号の位相のばらつきが生じたりする。またどちらの場合においてもチップ面積が大きくなる欠点がある。

本発明の目的は、上記の欠点を除去して、新規な電極パターンを有する高出力FETチップを提供することにある。

〔課題を解決するための手段〕

本発明の高出力FETチップは、くし型ストライプ電極群の各電極が互いに平行して、電極の長さ方向にジグザグに屈曲して配置されるようにしている。

〔作用〕

ストライプ電極をその長さ方向にジグザグに屈曲させることによって、実効的ストライプ長

は大きくなる。

〔実施例〕

以下、本発明の一実施例について図面を参照して説明する。第1図(a)は実施例の平面図、(b)はAA'断面図である。1はドレイン電極、2はゲート電極でそれぞれチップの対向する両側に引出し電極1A、2Aをもっている。3はソース電極で、ストライプ電極以外の斜線でほどしたソース配線部3AはGaAs基板4の裏面まで延びて、この部分でチップを容器と溶接する。

この図に見るように、くし型部分で、各電極1、2、3はストライプになっていて、その長さ方向にジグザグに屈曲しているの、多少電極群の占める構幅方向の長さは増すが、ソース配線部3Aとの間に余裕があり、チップサイズを大きくする必要はない。各電極1、2、3の高さは従来例と同じであるが、実効長はジグザグに屈曲しているの、直線状の従来例に対し、増大する。

〔発明の効果〕

以上説明したように、本発明はくし型ストライプ電極を有する高出力FETのチップとして、ストライプ電極を長さ方向に直線状でなくジグザグに屈曲することによって、その実効長を増大させたものである。これによりチップサイズを増大することなく、出力の増大をはかることができる。

4. 図面の簡単な説明

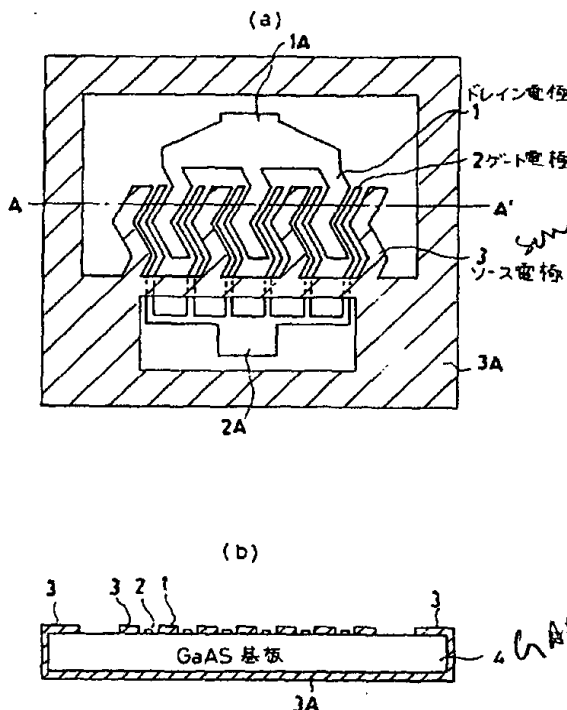
第1図(a)は本発明の一実施例の平面図、(b)はそのAA'断面図、第2図は従来例の平面図である。

- 1…ドレイン電極、 2…ゲート電極、
- 3…ソース電極、 4…GaAs基板。

特許出願人 日本電気株式会社

代理人 弁理士 内 原 晋

第1図



第2図

